

DERWENT-ACC-NO: 1998-203642
DERWENT-WEEK: 199818
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Integrated circuit package used in optical communication system such as trunk line system - includes light receiving element at bottom surface of bare chip IC whose position corresponds to groove containing optical unit

PATENT-ASSIGNEE: FUJITSU LTD[FUIT]

PRIORITY-DATA: 1996JP-0208481 (August 7, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 10056163 A	February 24, 1998	N/A
014	H01L 027/14	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP10056163A	N/A	1996JP-0208481
August 7, 1996		

INT-CL (IPC): H01L023/02; H01L027/14 ; H05K001/18

ABSTRACTED-PUB-NO: JP10056163A

BASIC-ABSTRACT: The package includes a base metal on its bottom surface. A groove (8) for accommodating an optical unit is formed on the bottom surface of the base metal. A microstrip type first conductor pattern (6b) for bias and a second conductor pattern (6s) for signals are formed on a support substrate (2) supported by the base metal.

A bare chip IC (12) is flip-chip mounted on the conductor pattern formed on the support substrate via a bump. A light receiving element (11) is provided at

the bottom surface of the bare chip integrated circuit
whose position
corresponds to the groove containing the optical unit.

ADVANTAGE - Improves operation speed. Improves stability.

CHOSEN-DRAWING: Dwg.1/13

TITLE-TERMS:

INTEGRATE CIRCUIT PACKAGE OPTICAL COMMUNICATE SYSTEM TRUNK
LINE SYSTEM LIGHT
RECEIVE ELEMENT BOTTOM SURFACE BARE CHIP IC POSITION
CORRESPOND GROOVE CONTAIN
OPTICAL UNIT

ADDL-INDEXING-TERMS:

LSI

DERWENT-CLASS: U11 U12 V04

EPI-CODES: U11-D01A3; U11-D01A4; U11-E01C; U11-E02A3;
U12-A02B3; V04-Q02A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-162352

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56163

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/14			H 0 1 L 27/14	D
			23/02	F
H 0 5 K 1/18			H 0 5 K 1/18	L

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平8-208481

(22) 出願日 平成8年(1996) 8月7日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 及川 陽一

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 濱野 宏

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

最終頁に続く

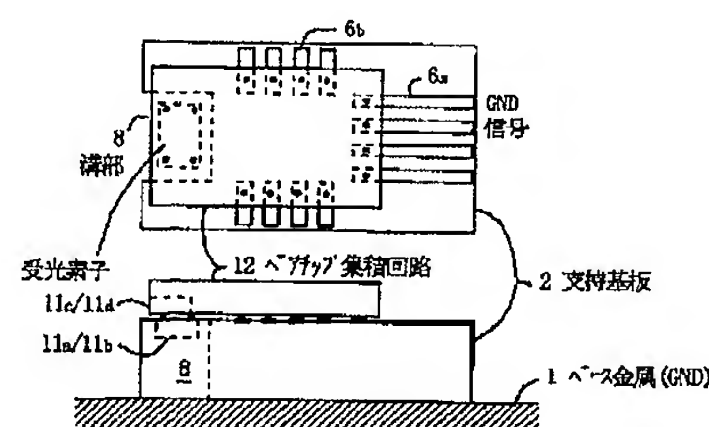
(54) 【発明の名称】 集積回路パッケージ

(57) 【要約】

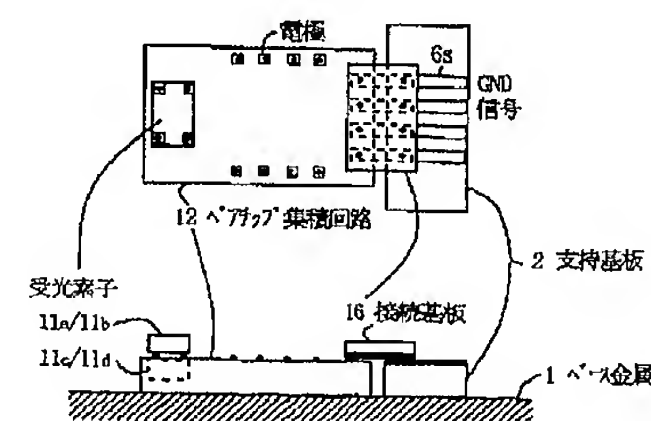
【課題】 本発明は集積回路パッケージに関し、簡単な構成で超高速動作を実現できる集積回路パッケージの提供を課題とする。

【解決手段】 ベース金属1で支持された支持基板2の上面にバイアス用導体パターン6b及び信号用のコプレーナ型又はマイクロストリップ型の導体パターン6sを設け、該導体パターン6b, 6sにベアチップ集積回路12をフリップチップ実装する。また支持基板に設けた溝部8対応のベアチップ集積回路下面に受光素子11をフリップチップ実装し、集積回路パッケージとしての超高速動作を実現する{図1(A)}。ベース金属1で背面を支持された支持基板2の上面に信号用コプレーナ線路6sを設ける。その隣にベアチップ集積回路12をダイボンディングし、コプレーナ線路6sとベアチップ集積回路上の信号用電極との間をコプレーナ線路を有す接続基板16で接続する{図1(B)}。

本発明の原理的構成を示す図



(A)



(B)

【特許請求の範囲】

【請求項1】 パッケージの一部を成すベース金属と、前記ベース金属により背面を支持され、かつその側面に光学系素子を収容するための溝部と、その上面にバイアス用の導体パターン及び信号用のコプレナー型又は背面に接地導体を有するマイクロストリップ型の導体パターンを備える支持基板と、前記支持基板上の導体パターンに bumps を介してフリップチップ実装されたベアチップ集積回路と、前記溝部に対応する前記ベアチップ集積回路の下面に bumps を介してフリップチップ実装された受光素子とを備えることを特徴とする集積回路パッケージ。

【請求項2】 パッケージの一部を成すベース金属と、前記ベース金属により背面を支持され、かつその上面に信号用のコプレナー型導体パターンを備える支持基板と、

前記ベース金属により背面を支持され、かつその上面にバイアス用及び信号用の複数の電極を備えるベアチップ集積回路と、

前記ベアチップ集積回路の電極に bumps を介してフリップチップ実装された受光素子と、

前記支持基板上のコプレナー型導体パターンと前記ベアチップ集積回路上の信号用電極とに bumps を介してフリップチップ実装された信号用の接続基板であって、コプレナー型導体パターンを有するもの、とを備えることを特徴とする集積回路パッケージ。

【請求項3】 パッケージの一部を成すベース金属と、前記ベース金属により背面を支持され、かつその側面に光学系素子を収容するための溝部と、その上面にバイアス用の導体パターン及び信号用のコプレナー型又は背面に接地導体を有するマイクロストリップ型の導体パターンを備える支持基板と、

一部に受光素子がモノリシック集積化され、かつ前記支持基板上の導体パターンに bumps を介してフリップチップ実装されたベアチップ集積回路とを備えることを特徴とする集積回路パッケージ。

【請求項4】 パッケージの一部を成すベース金属と、前記ベース金属により背面を支持され、かつその上面に信号用のコプレナー型導体パターンを備える支持基板と、

前記ベース金属により背面を支持され、かつその一部にモノリシック集積化された受光素子と、その上面にバイアス用及び信号用の複数の電極を備えるベアチップ集積回路と前記支持基板上のコプレナー型導体パターンと前記ベアチップ集積回路上の信号用電極とに bumps を介してフリップチップ実装された信号用の接続基板であって、コプレナー型導体パターンを有するもの、とを備えることを特徴とする集積回路パッケージ。

【請求項5】 平面光入射型の受光素子と、パッケージ側面からの入射光を前記受光素子の入射面に反射させる

光反射手段とを備え、前記受光素子又は光反射手段は該受光素子への入射光が該受光素子の光入射面の法線に対して僅かに斜めより入射するように設けられていることを特徴とする請求項1乃至4の集積回路パッケージ。

【請求項6】 平面光入射型の受光素子と、パッケージ側面より前記受光素子の入射面の近傍に延びる端面斜め研磨型の光ファイバとを備え、前記受光素子又は光ファイバは該受光素子への入射光が該受光素子の光入射面の法線に対して僅かに斜めより入射するように設けられていることを特徴とする請求項1乃至4の集積回路パッケージ。

【請求項7】 側面光入射型の受光素子を備え、前記受光素子は該受光素子への入射光が該受光素子の光入射面の法線に対して僅かに斜めより入射するように設けられていることを特徴とする請求項1乃至4の集積回路パッケージ。

【請求項8】 パッケージの一部を成すベース金属と、前記ベース金属により背面を支持され、かつその上面に信号用のコプレナー型導体パターンを備える複数の支持基板と、

前記ベース金属により背面を支持され、かつその上面にバイアス用及び信号入出力用の複数の電極を備えるベアチップ集積回路と、

前記支持基板上のコプレナー型導体パターンと前記ベアチップ集積回路上の信号入出力用の電極に bumps を介してフリップチップ実装された複数の信号用の接続基板であって、コプレナー型導体パターンを有するもの、とを備えることを特徴とする集積回路パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は集積回路パッケージに関し、更に詳しくは集積回路等を超高速動作を実現すべくパッケージに実装した集積回路の実装構造に関する。今日、例えば幹線系の光通信システムでは10Gb/sのシステムが商用化されつつあるが、伝送路速度の需要は更に高まっており、各所でポスト10Gb/sシステムの研究・開発が精力的に行われている。ポスト10Gb/sのシステムとしては、40Gb/s、50Gb/s等が考えられるが、このような超広帯域特性は従来の実装技術では実現できないため、新たな実装技術の開発が必要となる。

【0002】

【従来の技術】図14は従来技術を説明する図で、図14(A)は10Gb/sの広帯域通信を実現した光受信装置(集積回路パッケージ)の平面図、図14(B)はそのc-c断面図を示す。図において、200はパッケージ構造の光受信装置、1はパッケージの一部を成すベース金属、2はセラミック等よりなる支持基板、11はpinホトダイオード等の受光素子、12は光電気変換信号を高速処理するベアチップ集積回路(IC又はLS

I)である。

【0003】ベアチップIC12は、その下面がベース金属1にダイボンディングされると共に、その上面には給電・バイアス用の電極及び信号用の電極が形成されている。一方、支持基板2の上面には出力信号をパッケージ外部に取り出すための導体パターンが設けられている。このベアチップIC12の上に受光素子11をバンパを介してフリップチップ実装し、かつベアチップIC12の出力信号を支持基板2の導体パターンにワイヤボンディングすることで、10Gb/sの広帯域通信を実現している。

【0004】

【発明が解決しようとする課題】しかし、上記の如くベアチップIC12の出力信号をワイヤボンディングにより取り出すと、10GHz程度の周波数領域ではあまり問題はないが、50GHz程度の超広帯域を要求される場合は、ワイヤのインダクタンスや、ボンディング用パッド（電極）の容量等が問題となり、安定な超高速動作は得られない。

【0005】本発明の目的は、簡単な構成で超高速動作を実現できる集積回路パッケージを提供することにある。

【0006】

【課題を解決するための手段】上記の課題は例えば図1(A)の構成により解決される。即ち、本発明(1)の集積回路パッケージは、パッケージの一部を成すベース金属1と、前記ベース金属により背面を支持され、かつその側面に光学系素子を収容するための溝部8と、その上面にバイアス用の導体パターン6b及び信号用のコプレナー型又は背面に接地導体を有するマイクロストリップ型の導体パターン6sを備える支持基板2と、前記支持基板上の導体パターン6b、6sにバンパを介してフリップチップ実装されたベアチップ集積回路12と、前記溝部に対応する前記ベアチップ集積回路の下面にバンパを介してフリップチップ実装された受光素子11a/11bとを備えるものである。

【0007】本発明(1)によれば、ベアチップ集積回路12の信号用電極を支持基板2のコプレナー(co-planar)型又は背面に接地導体(ベース金属1でも良い)を有するマイクロストリップ型の導体パターン6sにバンパを介してフリップチップ実装するので、電極サイズ(即ち、電極容量)を小さくできると共に、所望の超広帯域(50GHz程度)に渡り良好なインピーダンス整合が得られ、集積回路パッケージの安定な超高速動作が得られる。

【0008】また上記の課題は例えば図1(B)の構成により解決される。即ち、本発明(2)の集積回路パッケージは、パッケージの一部を成すベース金属1と、前記ベース金属により背面を支持され、かつその上面に信号用のコプレナー型導体パターン6sを備える支持基板

2と、前記ベース金属により背面を支持され、かつその上面にバイアス用及び信号用の複数の電極を備えるベアチップ集積回路12と、前記ベアチップ集積回路の電極にバンパを介してフリップチップ実装された受光素子11a/11bと、前記支持基板上のコプレナー型導体パターンと前記ベアチップ集積回路上の信号用電極とにバンパを介してフリップチップ実装された信号用の接続基板16であって、コプレナー型導体パターンを有するもの、とを備えるものである。

10 【0009】本発明(2)によれば、ベアチップ集積回路12はベース金属1により背面を支持されるので、高い放熱効果が得られ、集積規模又は取り扱う信号パワーを増大出来る。また、ベアチップ集積回路上の信号用電極と支持基板上のコプレナー型導体パターン(コプレナー線路)との間に、コプレナー型導体パターン(コプレナー線路)を有する接続基板16をバンパを介してフリップチップ実装するので、超広帯域に渡り良好なインピーダンス整合が得られ、集積回路パッケージの安定な超高速動作が得られる。

20 【0010】また上記の課題は例えば図1(A)の構成により解決される。即ち、本発明(3)の集積回路パッケージは、パッケージの一部を成すベース金属1と、前記ベース金属により背面を支持され、かつその側面に光学系素子を収容するための溝部8と、その上面にバイアス用の導体パターン6b及び信号用のコプレナー型又は背面に接地導体を有するマイクロストリップ型の導体パターン6sを備える支持基板2と、一部に受光素子11c/11dがモノリシック集積化され、かつ前記支持基板上の導体パターンにバンパを介してフリップチップ実装されたベアチップ集積回路12とを備えるものである。

30 【0011】本発明(3)によれば、ベアチップ集積回路12は平面(垂直)光入射型の受光素子11c。又は側面(端面)光入射型の受光素子11dをモノリシック集積しているので、集積回路のパッケージングが容易であると共に、ベアチップ集積回路12の出力回路には超広帯域に渡り良好なインピーダンス整合が得られ、集積回路パッケージの安定な超高速動作が得られる。

40 【0012】また上記の課題は例えば図1(B)の構成により解決される。即ち、本発明(4)の集積回路パッケージは、パッケージの一部を成すベース金属1と、前記ベース金属により背面を支持され、かつその上面に信号用のコプレナー型導体パターンを備える支持基板2と、前記ベース金属により背面を支持され、かつその一部にモノリシック集積化された受光素子11c/11dと、その上面にバイアス用及び信号用の複数の電極を備えるベアチップ集積回路12と、前記支持基板上のコプレナー型導体パターンと前記ベアチップ集積回路上の信号用電極とにバンパを介してフリップチップ実装された信号用の接続基板16であって、コプレナー型導体パタ

ーンを有するもの、とを備えるものである。

【0013】本発明(4)によれば、ベアチップ集積回路12に高い放熱効果が得られると共に、集積回路のパッケージングが容易であり、かつベアチップ集積回路12の出力回路には超広帯域に渡り良好なインピーダンス整合が得られ、集積回路パッケージの安定な超高速動作が得られる。好ましくは、本発明(5)においては、上記本発明(1)乃至(4)において、平面光入射型の受光素子11a/11cと、パッケージ側面からの入射光を前記受光素子の入射面に反射させる光反射手段とを備え、前記受光素子又は光反射手段は該受光素子への入射光が該受光素子の光入射面の法線に対して僅かに斜めより入射するように設けられている。

【0014】従って、平面光入射型受光素子11a/11cの表面反射等による伝送劣化を有効に抑制できる。また好ましくは、本発明(6)においては、上記本発明(1)乃至(4)において、平面光入射型受光素子11a/11cと、パッケージ側面より前記受光素子の入射面の近傍に延びる端面斜め研磨型の光ファイバとを備え、前記受光素子又は光ファイバは該受光素子への入射光が該受光素子の光入射面の法線に対して僅かに斜めより入射するように設けられている。

【0015】従って、平面光入射型受光素子11a/11cの表面反射等による伝送劣化を有効に抑制できる。また好ましくは、本発明(7)においては、上記本発明(1)乃至(4)において、側面光入射型の受光素子11b/11dを備え、前記受光素子は該受光素子への入射光が該受光素子の光入射面の法線に対して僅かに斜めより入射するように設けられている。

【0016】従って、側面(端面)光入射型の受光素子11b/11dの表面反射等による伝送劣化を有効に抑制できる。また上記の課題は例えば図12の構成により解決される。即ち、本発明(8)の集積回路パッケージは、パッケージの一部を成すベース金属1と、前記ベース金属により背面を支持され、かつその上面に信号用のコプレナー型導体パターンを備える複数の支持基板2a、2bと、前記ベース金属により背面を支持され、かつその上面にバイアス用及び信号入出力用の複数組の電極を備えるベアチップ集積回路12と、前記支持基板上のコプレナー型導体パターン6sa、6sbと前記ベアチップ集積回路上の信号入出力用の電極にバンパを介してフリップチップ実装された複数の信号用の接続基板16a、16bであって、コプレナー型導体パターンを有するもの、とを備えるものである。

【0017】本発明(8)によれば、ベアチップ集積回路12に高い放熱効果が得られると共に、ベアチップ集積回路12の入出力信号をコプレナー型導体パターン(コプレナー線路)を有する接続基板16a、16bで外部と接続するので、このような集積回路パッケージを他の回路と接続しても、超広帯域に渡り良好なインピー

ダンス整合が得られ、装置全体の安定な超高速動作が得られる。

【0018】

【発明の実施の形態】以下、添付図面に従って本発明に好適なる複数の実施の形態を詳細に説明する。なお、全図を通して同一符号は同一又は相当部分を示すものとする。図2は第1の実施の形態による集積回路パッケージの構成を示す図で、図2(A)はその平面図、図2(B)は図2(A)のb-b断面図、図2(C)は図2(A)のc-c断面図である。

【0019】図において、100は第1の実施の形態による集積回路パッケージ(光受信装置)、1はパッケージの外郭を成すベース金属、2は誘電体の支持基板、3は誘電体の端子板、4は給電・バイアス端子、5は信号・グランド端子、6bは基板2上にプリントされた給電・バイアス用の導体パターン、6sは基板2上にプリントされた出力信号用のコプレナー(co-planar)型導体パターン(コプレナー線路)、7はノイズサプレス用のマイクロチップコンデンサ、8は基板2に設けた後述の光学系素子を収容するための溝部、9は光反射手段の一例のプリズム、11aはGaAs/InP等による平面(垂直)光入射型のpinホトダイオード(PD)、12は、同じくGaAs/InP等からなり、光電変換信号の超高速処理を行うベアチップIC(又はLSI)、20は光ファイバモジュール、21は光ファイバ、22はファイバホルダ、23は集光用のレンズである。

【0020】支持基板2の導体パターン6bとパッケージの給電・バイアス端子4との間はマイクロチップコンデンサ7を介してワイヤボンディングにより接続される。一方、ベアチップIC12の表面12' (図2(C)の下面に相当)には、受光素子用、給電・バイアス用及び出力信号用の各電極(A1パッド等)が設けられている。また、受光素子11aの各電極にはAuやハンダによるバンパ(突起)がワイヤボンディング法やメッキ法等により設けられる。この受光素子11aの各バンパをハンダやフレキシブルなエポキシ樹脂等を主成分とする導電性接着剤を介してベアチップIC12の前記受光素子用の電極にフリップチップ実装する。また上記ベアチップIC12の給電・バイアス用及び出力信号用の各電極にも予めバンパが設けられており、これらを支持基板2の導体パターン6b、6sにハンダや導電性接着剤を介してフリップチップ実装する。

【0021】支持基板2のコプレナー線路6sはGNDラインと信号ラインとが同一平面に交互に並ぶ微細導体パターンから成り、該線路の特性インピーダンスは、ベアチップIC12の出力インピーダンス(及び次段の回路の入力インピーダンス)に整合するように、例えば50Ωに選ばれる。従って、所望の超広帯域(50GHz程度)に渡り、出力信号波形は劣化しない。

【0022】又は、図示しないが、上記支持基板2上の

7

コプレーナ線路6_sに代えて、背面のベース金属1又は支持基板2の背面に設けた導体を接地導体とするようなマイクロストリップ線路6_sを設ける。該線路の特性インピーダンスは、ベアチップIC12の出力インピーダンス（及び次段の回路の入力インピーダンス）に整合するように、例えば50Ωに選ばれる。従って、所望の超広帯域（50GHz程度）に渡り、出力信号波形は劣化しない。

【0023】なお、支持基板2の材質としては、これにフリップチップ実装するベアチップIC12と熱膨張係数が近いもので、かつ熱伝導率が良好なものとして、例えばセラミック、窒化アルミ等を使用する。更に、溝部8に設けたプリズム9はパッケージ側面からの入射光を略真上にある受光素子11aの入射面に向けて反射する。ところで、この種の光学系では、入射光を受光素子11aの入射面に垂直に入射すると、該受光素子11aの表面や背後のバンプ面等で反射された反射光が入射光と干渉して光の定在波を形成し、伝送劣化を生じさせる場合がある。受光素子11aの表面に反射防止膜をコーティングする方法もあるが、十分な抑制は得られない。そこで、好ましくは、受光素子の入射面と入射光軸との関係を直角より6°～8°程傾ける。

【0024】この実現方法には色々と考えられるが、例えばプリズム9の反射角を45°より僅か（3～4°程度）に大又は小とする。又はプリズム9の取り付け角を水平より僅かに傾ける。又は受光素子11aの光入射面が水平より僅かに傾くように設ける。この為には、例えばAuバンプの量を調整して受光素子11aをベアチップIC12に傾けてフリップチップ実装し、又はベアチップIC12を支持基板2に傾けて実装し、又は支持基板2そのものに傾斜を設ける等の方法が考えられる。

【0025】なお、上記プリズム9以外にも様々な形状・構造の光反射手段を用いることができる。また、pinホトダイオード11a以外にも他の様々な受光素子を使用できる。図3は第2の実施の形態による集積回路パッケージの構成を示す図で、図3(A)はその平面図、図3(B)は図3(A)のb-b断面図、図3(C)は図3(A)のc-c断面図である。

【0026】図において、100は第2の実施の形態による集積回路パッケージ（光受信装置）を示しており、上記図2のプリズム9に代え、パッケージ側面より受光素子11aの入射面近傍に延びる端面斜め研磨型の裸の光ファイバ21aを備える点で上記第1の実施の形態とは異なる。従って、溝部8のスペースを小さくでき、光受信装置の全体を小型化できる。なお、溝部8の光ファイバ21aを安定に固定支持するため、適当な支持部材（ガイド部材等）を溝部8に設けても良い。

【0027】この場合も、光ファイバ21aの研磨角を45°より僅かに大又は小とすること、又は光ファイバ21aをその光軸の回りに僅かに回転させることによ

8

り、ファイバ端面からの反射光は受光素子11aの光入射面の法線に対して僅かに斜めより入射することとなり、光入射面等による光の反射が有効に抑制される。又は、上記第1の実施の形態と同様にして、受光素子11aの側を、その光入射面が水平より僅かにずれるように設けても良い。

【0028】図4は第3の実施の形態による集積回路パッケージの構成を示す図で、図4(A)はその平面図、図4(B)は図4(A)のb-b断面図、図4(C)は図4(A)のc-c断面図である。図において、100は第3の実施の形態による集積回路パッケージ（光受信装置）を示しており、上記図2の外付けの受光素子11aに代え、ベアチップIC12内にモノリシック集積された平面（垂直）光入射型の受光素子11cを備える点で上記第1の実施の形態とは異なる。

【0029】この受光素子11cとしては、GaAsやInP等による比較的構造簡単（モノリシック集積容易）なホトコンダクタPCやMSM（メタル・-semiconductor）ホトダイオード等がある。ホトコンダクタPCは半導体基板に電極をオーミックコンタクトさせた構造を備え、入射光強度に応じて抵抗値が変化する。MSMホトダイオードは半導体基板にショットキー電極を接続した構造を備え、入射光強度に応じて光電流が変化する。なお、ベアチップIC12内にGaAsやInP等による上記pinホトダイオード11aをモノリシック集積化しても良い。いずれにしても、受光素子11cをベアチップIC12内にモノリシック集積化することで、より高速、高安定な動作がえられる。

【0030】図5は第4の実施の形態による集積回路パッケージの構成を示す図で、図5(A)はその平面図、図5(B)は図5(A)のb-b断面図、図5(C)は図5(A)のc-c断面図である。図において、100は第4の実施の形態による集積回路パッケージ（光受信装置）を示しており、上記図2の平面（垂直）光入射型の受光素子11aに代え、側面（端面）光入射型の受光素子（pinホトダイオード）11bを備える点で上記第1の実施の形態とは異なる。

【0031】パッケージ側面からの入射光は直接に受光素子11bの端面に結合される。この場合に、一般に、pinホトダイオードのi層は薄いので、好ましくは、端面に集光用クラッド層（光導波路）を有するような導波路型受光素子11bを用いる。従って、溝部8のスペースを小さくでき、光受信装置の全体を小さくできる。またこの場合も、上記入射光の反射を有効に防止するために、好ましくは、受光素子11bをその光入射面が入射光軸に対して直角となる位置より僅かにずれるようにフリップチップ実装する。具体的には、受光素子11bを図示の如く僅かに回転させてフリップチップ実装する。

【0032】図6は第5の実施の形態による集積回路パ

パッケージの構成を示す図で、図6(A)はその平面図、図6(B)は図6(A)のb-b断面図、図6(C)は図6(A)のc-c断面図である。図において、100は第5の実施の形態による集積回路パッケージ(光受信装置)を示しており、上記図4のベアチップIC12にモノリシック集積された平面(垂直)光入射型の受光素子11cに代え、同じくモノリシック集積された側面(端面)光入射型の受光素子11dを備える点で上記第3の実施の形態とは異なる。従って、溝部8を設ける必要はなく、光受信装置の全体を小さく(薄く)できる。

【0033】この場合も、好ましくは、受光素子11dをその光入射端面がパッケージ側面からの入射光軸に対して直角となる位置より僅かにずれるようにモノリシック集積する。具体的には、受光素子11dを図示の如く僅かに回転させてモノリシック集積する。図7は第6の実施の形態による集積回路パッケージの構成を示す図で、図7(A)はその平面図、図7(B)は図7(A)のb-b断面図、図7(C)は図7(A)のc-c断面図である。

【0034】ここでは、GaAs/InP等によるベアチップIC12は、その背面がハンダや導電性接着剤等によりベース金属1の表面に直接にダイボンディングされている。従って、ベアチップIC12の放熱が格段に良好となり、集積回路規模を大きくできる。これにより、従来は放熱の関係から複数段に分けて構成していたような処理回路を1個のベアチップIC12に集積化できる。

【0035】また、このベアチップIC12の各電極は図7(C)の上面の側に構成されており、その受光素子用電極に平面光入射型の受光素子11aのバンプをフリップチップ実装する。両サイドの給電・バイアス用電極はワイヤボンディングによりマイクロチップコンデンサ7を介してパッケージの給電・バイアス端子4に接続する。

【0036】一方、隣接する支持基板2の上面にはコプレーナ線路6_aが設けられ、これに対応するベアチップIC12の右端付近には出力信号用の電極が設けられている。また信号用の接続基板16は、その裏面16⁻に示す如く、同一平面にGNDラインと信号ラインとから成るコプレーナ線路(微細導体パターン)が形成されており、各導体パターンの両端にはバンプが形成されている。この接続基板16のコプレーナ線路をベアチップIC12の出力信号用電極と支持基板2のコプレーナ線路6_aとにフリップチップ実装することでベアチップIC12の出力信号を外部に取り出す。従って、所望の超広帯域に渡り、良好なインピーダンス整合が得られ、出力信号の劣化が防止される。

【0037】また、このパッケージの前方下部には棒状の金属ブロック14が金属ベース1と接触する様に横設されている。一方、ベアチップIC12の前方両サイド

には受光素子11aを挟むようにして導体のGNDパターン15が設けられている。このGNDパターン15はベアチップIC12の表面から側面、更には底面へと回り込み、底面の金属ベース1と接触する様に設けられる。そして、底面にバンプを形成された反射ブロック13を上記金属ブロック14及びGNDパターン15の上に、かつ受光素子11aを跨ぐようにしてフリップチップ実装する。この反射ブロック13にはプリズム9が設けられており、パッケージ側面からの入射光を受光素子11aの入射面に向けて反射する。

【0038】なお、この場合のベース金属1としては、ベアチップIC12や支持基板2と熱膨張係数が近く、かつ熱伝導率が良好なものとして、CuW等を使用できる。また、上記プリズム9に代え、任意形状・構造の反射ブロック13を設ける事が可能である。図8は第7の実施の形態による集積回路パッケージの構成を示す図で、図8(A)はその平面図、図8(B)は図8(A)のb-b断面図、図8(C)は図8(A)のc-c断面図である。

【0039】図において、100は第7の実施の形態による集積回路パッケージ(光受信装置)を示しており、上記図7の反射ブロック13に代え、パッケージ側面より受光素子11aの入射面近傍に延びる端面斜め研磨型の裸の光ファイバ21aを備える点で上記第6の実施の形態とは異なる。従って、反射ブロック13を収容するスペースを必要とせず、光受信装置の全体を小さくできる。

【0040】この場合も、光ファイバ21aの研磨角を45°より僅かに大又は小とすること、又は光ファイバ21aをその光軸の回りに僅かに回転させることにより、ファイバ端面の反射光は受光素子11aの光入射面の法線に対して僅かに斜めより入射することとなり、光入射面等による光の反射が有効に抑制される。又は、上記図3の場合と同様にして、受光素子11aを、その光入射面が水平より僅かに傾くように設けても良い。

【0041】図9は第8の実施の形態による集積回路パッケージの構成を示す図で、図9(A)はその平面図、図9(B)は図9(A)のb-b断面図、図9(C)は図9(A)のc-c断面図である。図において、100は第8の実施の形態による集積回路パッケージ(光受信装置)を示しており、上記図7の外付けの平面(垂直)光入射型の受光素子11aに代え、ベアチップIC12内にモノリシック集積された平面(垂直)光入射型の受光素子11cを備える点で上記第6の実施の形態とは異なる。ベアチップIC12内にモノリシック集積される受光素子11cとしては、ホトコンダクタPC、MSMホトダイオード、pinホトダイオード等がある。

【0042】図10は第9の実施の形態による集積回路パッケージの構成を示す図で、図10(A)はその平面図、図10(B)は図10(A)のb-b断面図、図1

11

0(C)は図10(A)のc-c断面図である。図において、100は第9の実施の形態による集積回路パッケージ(光受信装置)を示しており、上記図7の平面(垂直)光入射型の受光素子11aに代え、側面(端面)光入射型の受光素子11bを備える点で上記第6の実施の形態とは異なる。従って、反射ブロック13を収容するスペースを必要とせず、光受信装置の全体を小さく(薄く)できる。

【0043】この場合も、入射光の反射を有効に防止するために、好ましくは、受光素子11bをその光入射面が入射光軸に対して直角となる位置より僅かに傾くようにフリップチップ実装する。図11は第10の実施の形態による集積回路パッケージの構成を示す図で、図11(A)はその平面図、図11(B)は図11(A)のb-b断面図、図11(C)は図11(A)のc-c断面図である。

【0044】図において、100は第10の実施の形態による集積回路パッケージ(光受信装置)を示しており、上記図9のベアチップIC12にモノリシック集積された平面(垂直)光入射型の受光素子11cに代え、同じくモノリシック集積された側面(端面)光入射型の受光素子11dを備える点で上記第8の実施の形態とは異なる。従って、反射ブロック13を収容するスペースを必要とせず、光受信装置の全体を小さく(薄く)できる。

【0045】この場合も、入射光の反射を有効に防止するために、好ましくは、受光素子11dをその光入射面が入射光軸に対して直角となる位置より僅かに傾くようにモノリシック集積する。図12は第11の実施の形態による集積回路パッケージの構成を示す図で、図12(A)はその平面図、図12(B)は図12(A)のb-b断面図、図12(C)は図12(A)のc-c断面図である。

【0046】図において、100は第11の実施の形態による集積回路パッケージを示しており、この集積回路パッケージは、上記同様にして超高速の光受信装置のみならず、超高速の光送信装置等にも接続して好適なる汎用の集積回路パッケージの構造を示している。ここでは、GaAs/InP等によるベアチップIC12は、その背面がハンダや導電性接着剤等によりベース金属1の表面に直接にダイボンディングされている。従って、ベアチップIC12の放熱が格段に良好となり、集積回路規模又は集積回路で扱うパワーを大きくできる。また、このベアチップIC12の各電極は図12(C)の上面の側に構成されており、両サイドの給電・バイアス用電極はワイヤボンディングによりマイクロチップコンデンサ7を介してパッケージの給電・バイアス端子4に接続される。

【0047】一方、図の左右の支持基板2a, 2bの上面には夫々コプレナー線路6sa, 6sbが設けられてお

12

り、これらに対応するベアチップIC12の左右両端付近には入出力信号用の電極が設けられている。更に、接続基板16a, 16bには、その裏面16'に示す如く、同一平面にGNDラインと信号ラインとから成るコプレナー線路(微細導体パターン)が形成されており、各導体パターンの両端にはバンプが形成されている。この接続基板16a, 16bをベアチップIC12の入出力信号用電極と支持基板2a, 2bのコプレナー線路6sa, 6sbとに夫々フリップチップ実装することでベアチップIC12の入力信号を外部から取り込み、かつ出力信号を外部に取り出す。従って、所望の超広帯域に渡り、良好なインピーダンス整合が得られ、入出力信号の劣化が防止される。

【0048】なお、上記各実施の形態ではバンプを形成する側の一例を示したが、バンプは接続する素子のどちら側に設けても良い。また、上記本発明に好適なる複数の実施の形態を述べたが、本発明思想を逸脱しない範囲内で、各部の構成、及びこれらの組合せの様々な変更が行えることは言うまでも無い。

【0049】

【発明の効果】以上述べた如く本発明によれば、集積回路の信号用電極とコプレナー線路(又はマイクロストリップ線路)とをフリップチップ実装する簡単な構成により集積回路パッケージとしての超高速動作を安定に実現でき、集積回路パッケージの高速化、安定化に寄与する所が大きい。また、併せて受光素子をフリップチップ実装することで、所望の超高速(50Gb/s程度)の光受信装置を安定に提供できる。

【図面の簡単な説明】

【図1】本発明の原理的構成を示す図である。

【図2】第1の実施の形態による集積回路パッケージの構成を示す図である。

【図3】第2の実施の形態による集積回路パッケージの構成を示す図である。

【図4】第3の実施の形態による集積回路パッケージの構成を示す図である。

【図5】第4の実施の形態による集積回路パッケージの構成を示す図である。

【図6】第5の実施の形態による集積回路パッケージの構成を示す図である。

【図7】第6の実施の形態による集積回路パッケージの構成を示す図である。

【図8】第7の実施の形態による集積回路パッケージの構成を示す図である。

【図9】第8の実施の形態による集積回路パッケージの構成を示す図である。

【図10】第9の実施の形態による集積回路パッケージの構成を示す図である。

【図11】第10の実施の形態による集積回路パッケージの構成を示す図である。

13

【図12】第11の実施の形態による集積回路パッケージの構成を示す図である。

【図13】従来技術を説明する図である。

【符号の説明】

- 1 ベース金属
- 2 支持基板
- 3 端子板
- 4 給電・バイアス端子
- 5 信号・グランド端子
- 6b 導体パターン

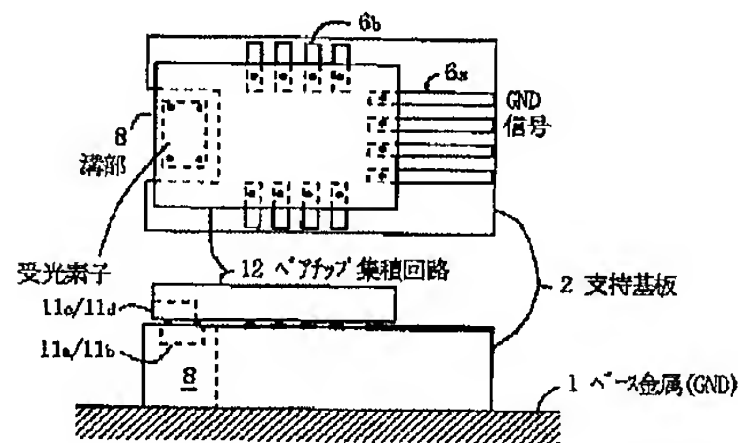
14

- 6s コプレーナ型導体パターン
- 7 マイクロチップコンデンサ
- 8 溝部
- 9 プリズム
- 11 受光素子
- 20 光ファイバモジュール
- 21 光ファイバ
- 22 ファイバホルダ
- 23 レンズ

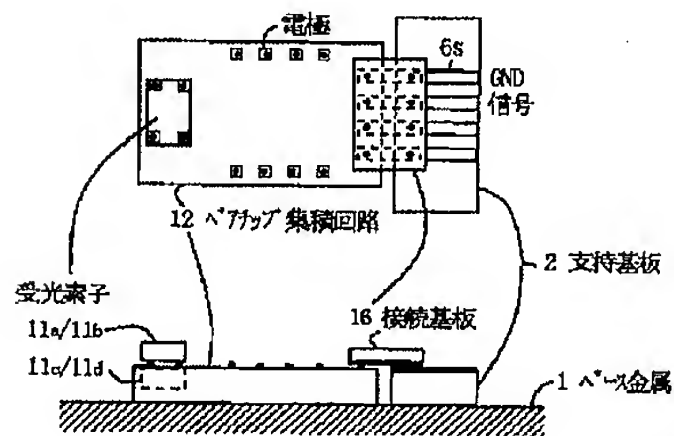
10

【図1】

本発明の原理的構成を示す図



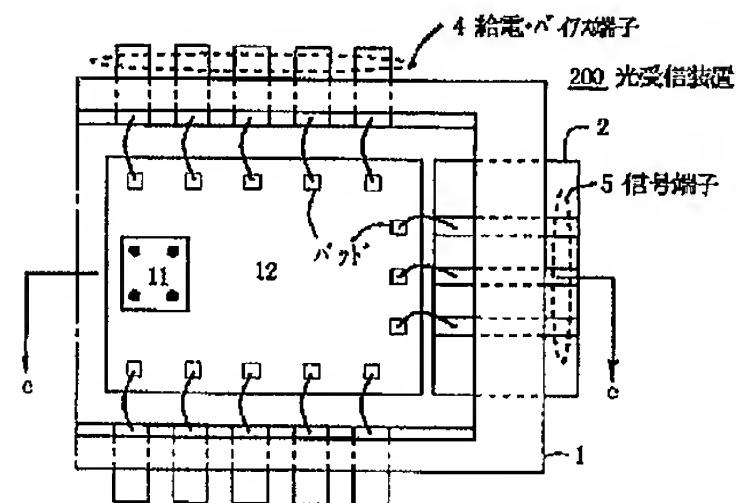
(A)



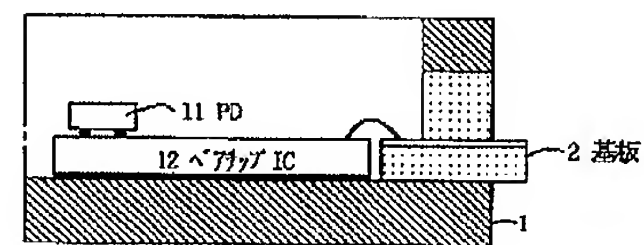
(B)

【図13】

従来技術を説明する図



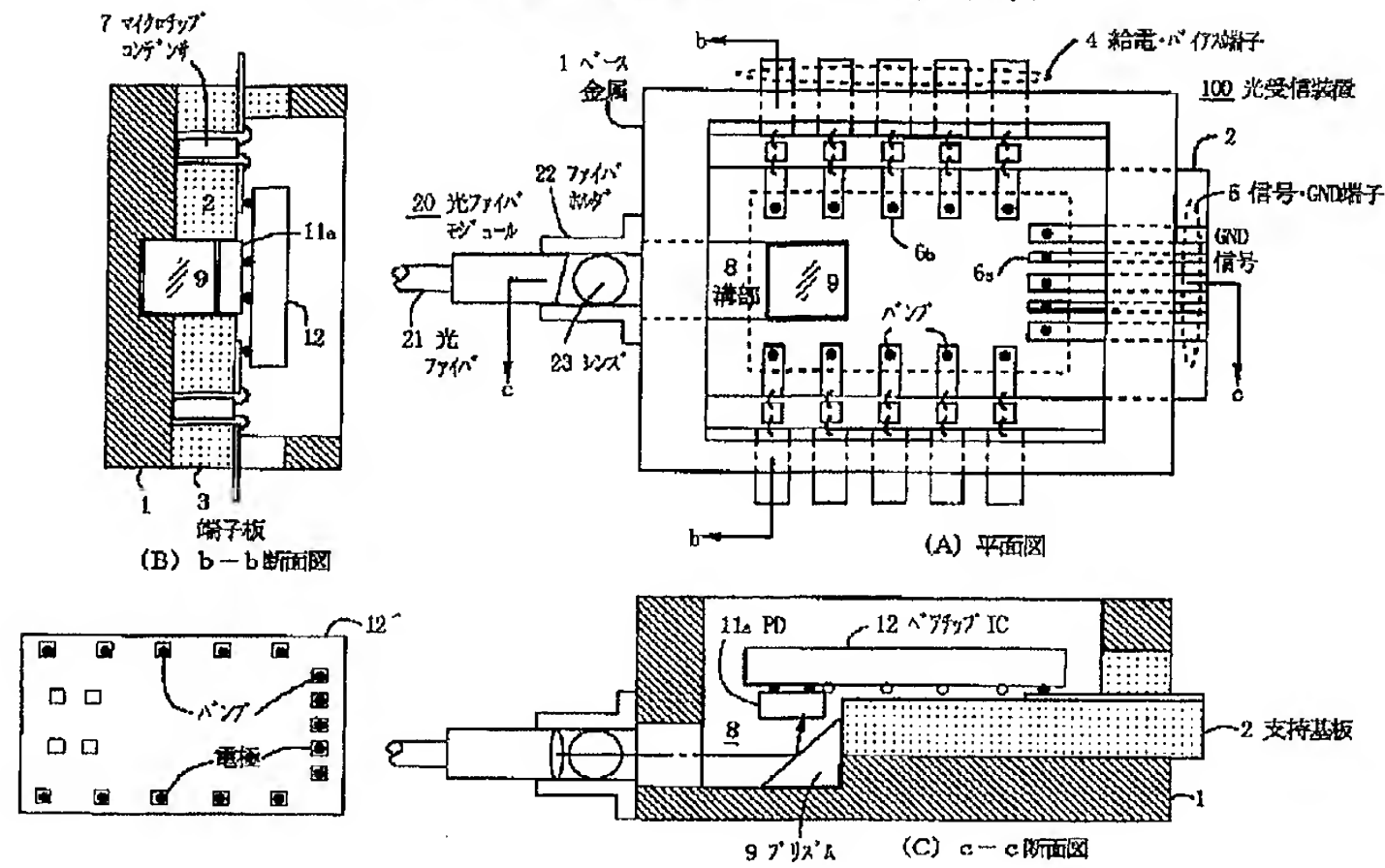
(A) 平面図



(B) c-c断面図

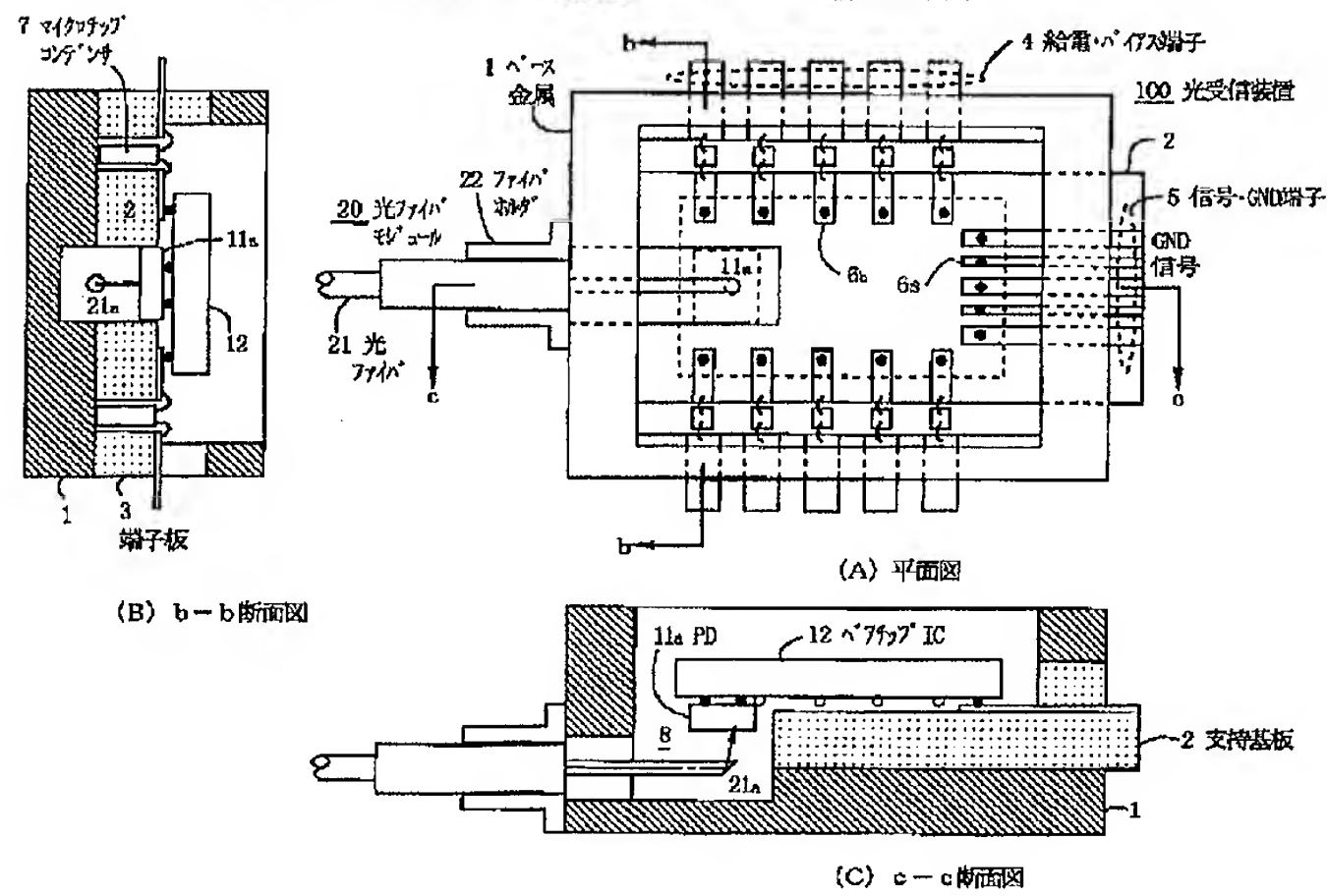
【図2】

第1の実施の形態による集積回路パッケージの構成を示す図



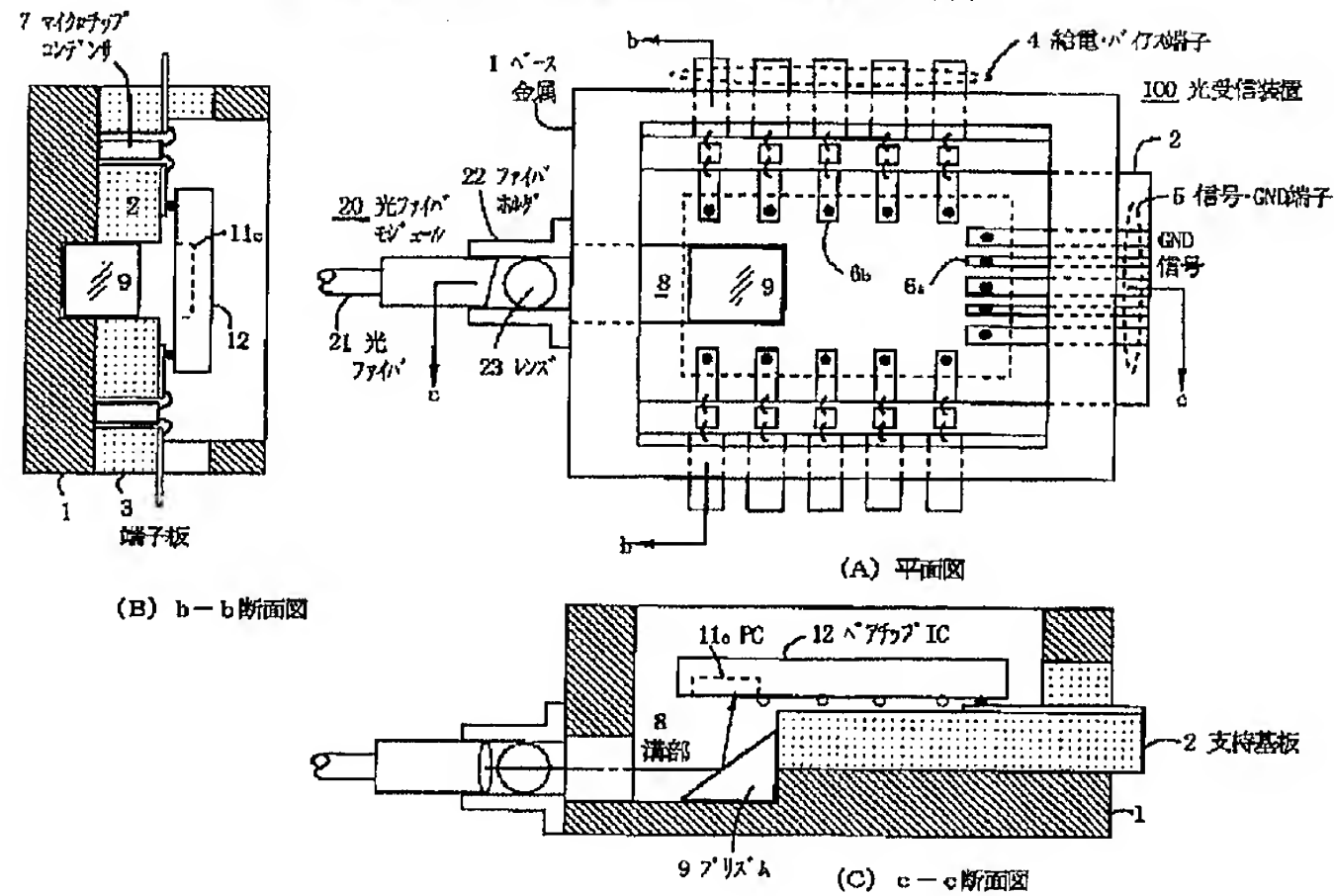
【図3】

第2の実施の形態による集積回路パッケージの構成を示す図



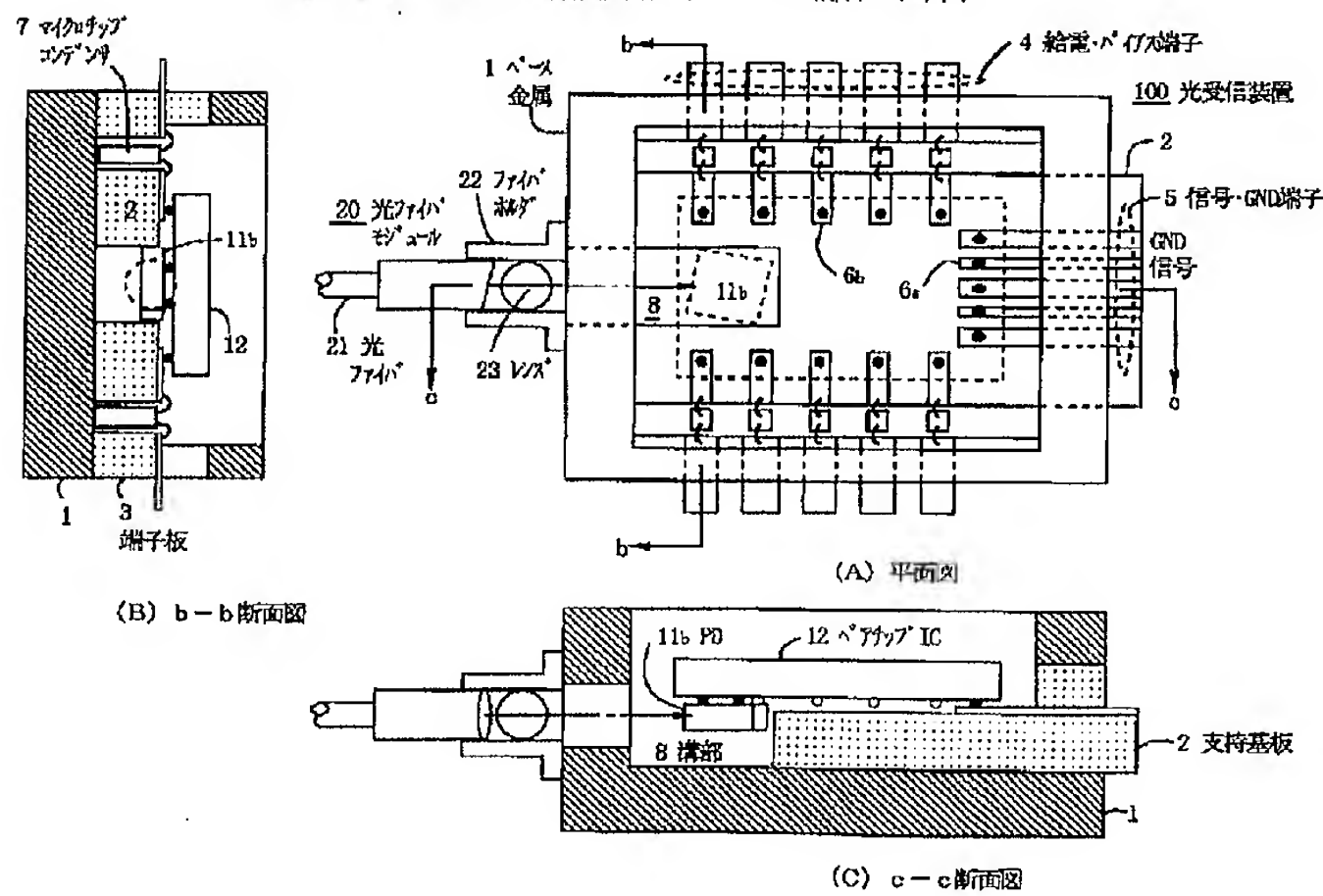
【図4】

第3の実施の形態による集積回路パッケージの構成を示す図



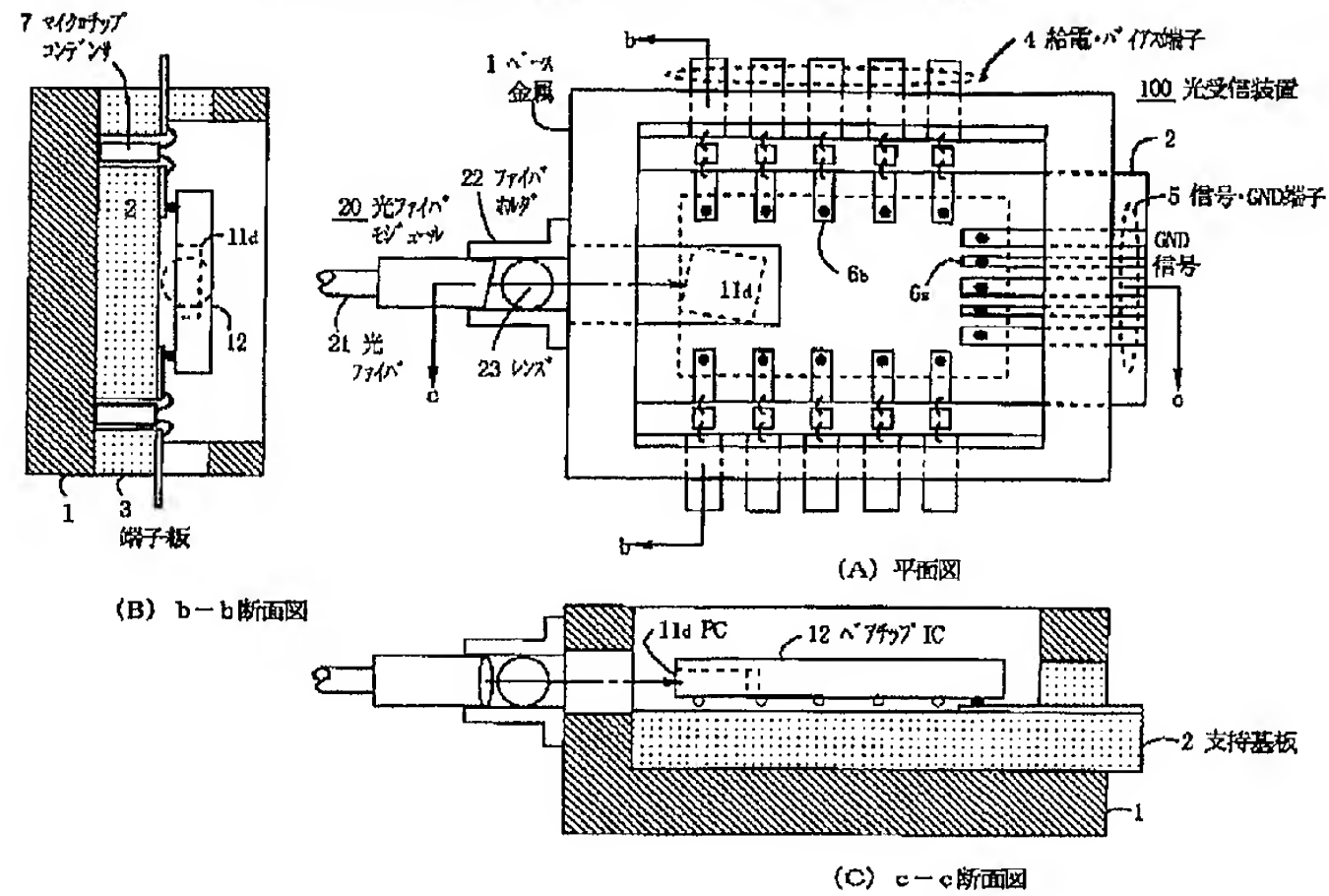
【図5】

第4の実施の形態による集積回路パッケージの構成を示す図



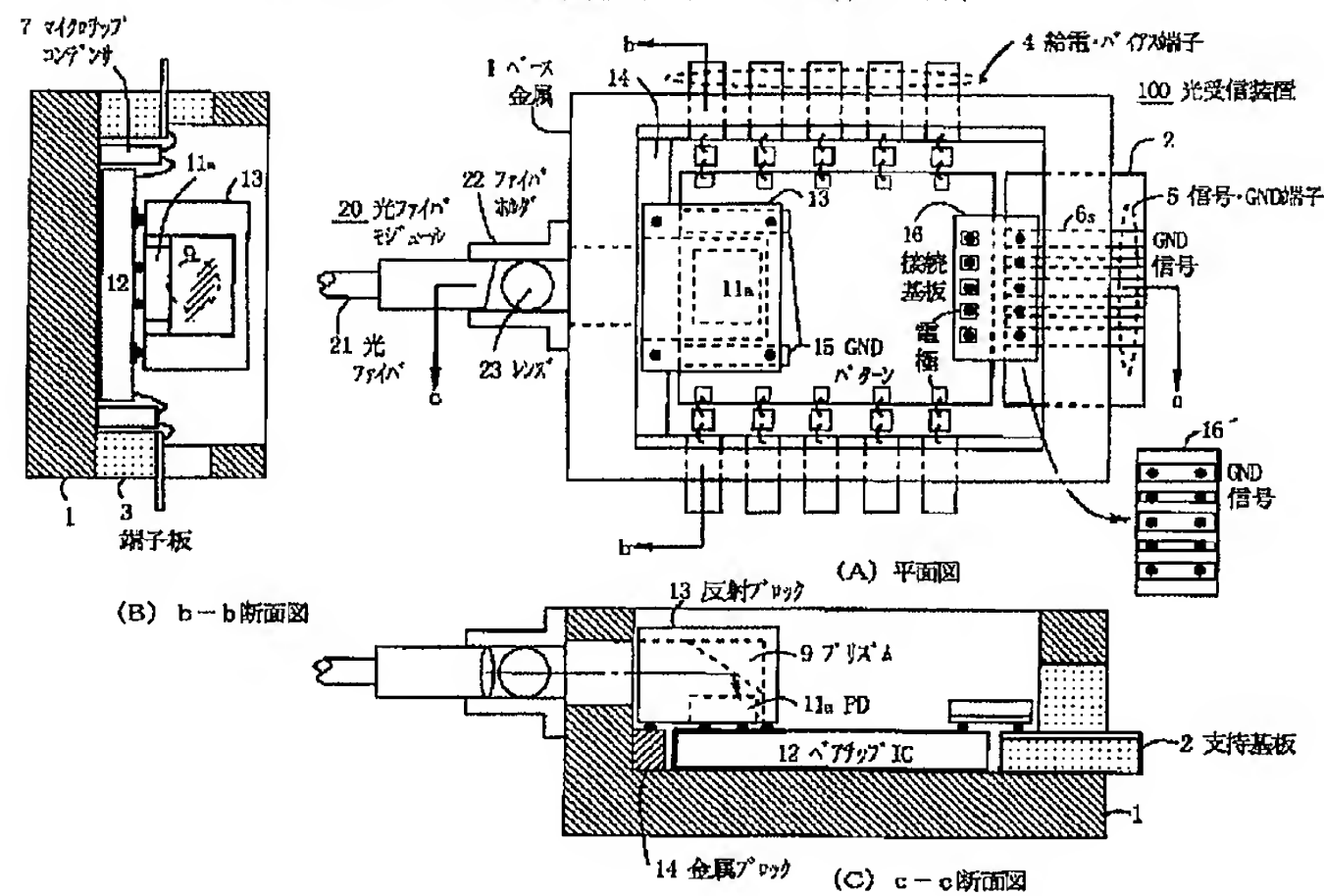
【図6】

第5の実施の形態による集積回路パッケージの構成を示す図



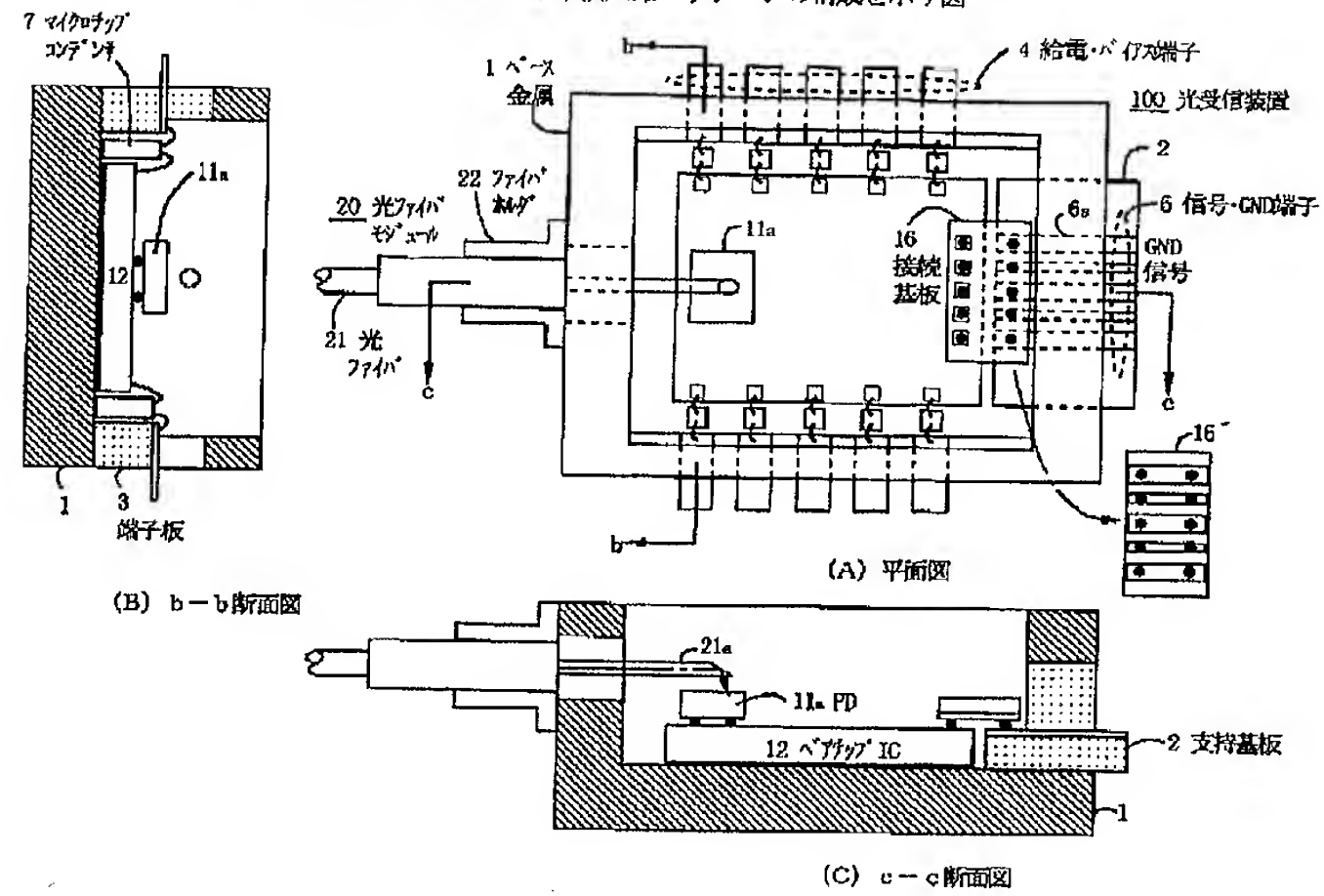
【図7】

第6の実施の形態による集積回路パッケージの構成を示す図



【図8】

第7の実施の形態による集積回路パッケージの構成を示す図



【図9】

第8の実施の形態による集積回路パッケージの構成を示す図

